

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028422
(43)Date of publication of application : 30.01.2001

(51)Int. Cl. H01L 25/04
H01L 25/18

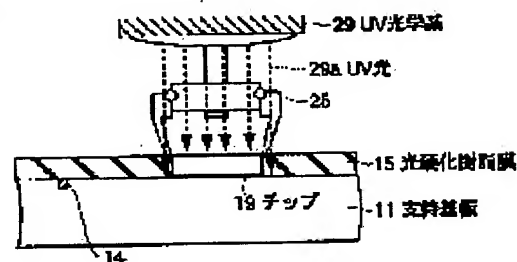
(21)Application number : 11-199955 (71)Applicant : SONY CORP
(22)Date of filing : 14.07.1999 (72)Inventor : KAMIIDE KOYO
TAKAOKA YUJI

(54) MULTI-CHIP MODULE, MANUFACTURE THEREOF AND MANUFACTURING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-chip module of a structure, where a wiring between elements is miniaturized and motor, the high-density mounting of chips can be realized, and the manufacturing method of the module.

SOLUTION: This manufacturing method for a multi-chip module has a plurality of chips electrically connected with each other and the chips are sealed in the same package, and is provided with a process of coating a photo curing resin film on a support substrate 11, a process of mounting the chips 19 on the substrate 11 through a face up bonding within the film 15 at the prescribed planar positions on the substrate 11 and in a prescribed height and a process, wherein UV light 29a is irradiated on the film 15 to cure the film 15, whereby the chips 19 are fixed on the substrate 11 at the prescribed plane positions and at a prescribed height.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-28422
(P2001-28422A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl.⁷

H 0 1 L 25/04
25/18

識別記号

F I

H 0 1 L 25/04

テームコード* (参考)

Z

審査請求 未請求 請求項の数22 O L (全 15 頁)

(21) 出願番号 特願平11-199955

(22) 出願日 平成11年7月14日 (1999.7.14)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 上出 幸洋

東京都品川区北品川6丁目7番35号ソニー
株式会社内

(72) 発明者 高岡 裕二

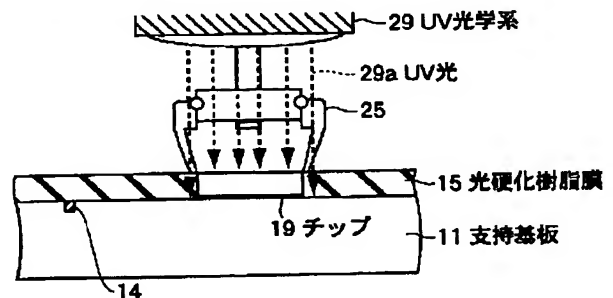
東京都品川区北品川6丁目7番35号ソニー
株式会社内

(54) 【発明の名称】 マルチチップモジュール及びその製造方法、製造装置

(57) 【要約】

【課題】 素子間の配線を微細化し、更なるチップの高密度実装を実現できるマルチチップモジュール及びその製造方法、製造装置を提供する。

【解決手段】 本発明に係るマルチチップモジュールの製造方法は、複数のチップを互いに電気的に接続し、同一パッケージ内に封止するものである。このマルチチップモジュールの製造方法は、支持基板11上に光硬化樹脂膜15をコートする工程と、複数のチップ19を、前記光硬化樹脂膜15内であって支持基板11上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、前記光硬化樹脂膜15にUV光29aを照射して光硬化樹脂膜15を硬化させることにより、前記チップ19を前記所定の平面位置及び所定の高さに固定する工程と、を具備するものである。



【特許請求の範囲】

【請求項1】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールであって、

支持基板上にコートされた光硬化樹脂膜と、
前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、
を具備することを特徴とするマルチチップモジュール。

【請求項2】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールであって、

支持基板上に形成された光反射膜と、
前記光反射膜上にコートされた光硬化樹脂膜と、
前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、
を具備することを特徴とするマルチチップモジュール。

【請求項3】 前記光硬化樹脂膜上に形成された層間絶縁膜と、
前記層間絶縁膜に設けられた、前記チップ上に位置する接続孔と、
前記層間絶縁膜上に形成され、前記接続孔に接続された配線パターンと、
前記配線パターン及び前記層間絶縁膜の上に形成された保護膜と、
をさらに含むことを特徴とする請求項1又は2記載のマルチチップモジュール。

【請求項4】 前記複数のチップそれぞれの最上層の配線パターンが同一高さに配置されていることを特徴とする請求項1又は2記載のマルチチップモジュール。

【請求項5】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、

支持基板上に光硬化樹脂膜をコートする工程と、
複数のチップを、前記光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、

前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、
を具備することを特徴とするマルチチップモジュールの製造方法。

【請求項6】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、

支持基板上に光反射膜を形成する工程と、
前記光反射膜上に光硬化樹脂膜をコートする工程と、
複数のチップを、前記光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、
前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化さ

せることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、
を具備することを特徴とするマルチチップモジュールの製造方法。

【請求項7】 前記固定する工程の後に、
前記光硬化樹脂膜上に層間絶縁膜を形成する工程と、
前記層間絶縁膜に、前記チップ上に位置する接続孔を設ける工程と、
前記層間絶縁膜上に、前記接続孔上に位置する配線パターンを形成する工程と、
前記配線パターン及び前記層間絶縁膜の上に保護膜を形成する工程と、
をさらに含むことを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項8】 前記マウントする工程は、前記チップの表面パターンを画像認識し、その画像に基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置にマウントするものであることを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項9】 前記マウントする工程は、1チップ毎マウントする工程を複数回行うものであることを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項10】 前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射することを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項11】 前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射することを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項12】 前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ周辺の一部の光硬化樹脂膜に光を照射することを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項13】 前記所定の高さは、前記複数のチップそれぞれの最上層の配線パターンの高さが同一高さに揃うものであることを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項14】 前記光硬化樹脂膜をコートする工程の前に、支持基板にチップをマウントする位置の基準点にターゲットマークを刻印する工程をさらに含むことを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項15】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、
支持基板上に光硬化樹脂膜をコートするコート手段と、
前記支持基板を支持するステージと、

前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とするマルチチップモジュールの製造装置。

【請求項16】 前記チップの表面パターンを画像認識する画像認識光学系と、この画像認識光学系により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置に搬送するようにチップ搬送手段を制御する制御手段と、をさらに含むことを特徴とする請求項15記載のマルチチップモジュールの製造装置。

【請求項17】 複数のチップを互いに電気的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ周辺の一部の光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とするマルチチップモジュールの製造装置。

【請求項18】 前記光学系は、レチクルマスクを用いて光をチップ周辺の一部の光硬化樹脂膜に照射するものであることを特徴とする請求項17記載のマルチチップモジュールの製造装置。

【請求項19】 前記光学系は、ブラインドシャッターの各羽に所望の穴を開口し、シャッター羽を調整することによって光をチップ周辺の一部の光硬化樹脂膜に照射するものであることを特徴とする請求項17記載のマルチチップモジュールの製造装置。

【請求項20】 複数のチップを互いに電気的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ搬送手段によりチップを前記所定の平面位置及び所定の高さに保持した状態で、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とするマルチチップモジュールの

製造装置。

【請求項21】 前記光学系は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射するものであることを特徴とする請求項20記載のマルチチップモジュールの製造装置。

【請求項22】 前記光学系は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射するものであることを特徴とする請求項20記載のマルチチップモジュールの製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、個別に作製された複数の半導体素子を目的とする機能を達成させるために電気的に接続し、一つの電子部品とするマルチチップモジュール及びその製造方法、製造装置に関するものである。

【0002】

【従来の技術】小型・軽量・低消費電力といった電気製品に求められる要求に応えるため、従来から半導体素子の高集積素子製造技術と共に、これら半導体素子を高密度に組み付ける実装技術も発展してきている。そして、さらなる高密度実装を実現するため、多層配線基板・ベアチップ実装に加え、複数の半導体素子を予め一つの電子部品として組み立てて実装するマルチチップモジュール技術が各企業で開発されている。

【0003】マルチチップモジュール（以下、MCMと略す）には、実装占有面積の圧縮に加え、素子間配線の距離短縮による高速動作が期待されている。

【0004】予め形成された多層配線基板にLSIチップをフェースダウンでマウントする方式では、支持基板にSiウエハーを使用し、ウエハープロセスを利用する事で微細配線の形成を容易にする方法が実用化されている。しかし、この方式では、チップをフェースダウンでマウントするため、チップ内の回路位置と支持基板上の配線位置を合わせるアライメント精度の問題が生じ、実装密度を向上させることが難しい。

【0005】一方、チップをフェースアップマウントしたMCMで素子間配線の距離を短縮する方法として、素子を支持基板にマウントした後、複数層のポリイミド膜をコートする事で平坦化された絶縁層を形成し、その上に素子間を接続する配線を形成する技術が開平5-47856号公報に開示されている。また、この素子間配線を多層化するためにインナービアホールを用いたMCMも開発されている。

【0006】MCMの実装密度を更に上げるためには、素子間配線の更なる微細化が必要となるが、フェースアップマウントチップ上に多層配線を形成する場合、実装面における素子の厚みによる段差が大きな障害となる。つまり、段差によって配線を形成する際にパターニングマスクの形成不良や断線が発生することがあ

る。

【0007】また、特開平5-47856号公報では、支持基板のチップマウント部を削り、その部分の支持基板にチップを埋め込む方法が述べられているが、BGRのバラツキによる数十 μm のチップの厚さバラツキが残ってしまうという問題がある。

【0008】また、特開平7-202115号公報及び特開平9-260581号公報では、治具板にチップをマウント後、樹脂膜にその凹凸を転写してチップの厚さバラツキをキャンセルする方法が提案されている。この方法は、実際にマウントするチップの高さに応じて調整が行える点で優れているが、治具板にチップをフェースダウンで仮マウントするために各チップの回路パターン間隔(位置)精度が悪くなる。これは、チップ間の配線を形成する際のリソグラフィパターンニングの障害となる。

【0009】また、特開平7-202115号公報では、接続孔を大きく開口し、チップの位置ズレを吸収する方法が提案されているが、この方法は配線微細化の妨げとなるものである。

【0010】

【発明が解決しようとする課題】ところで、上記従来のMCMの製造方法では、MCMのタイプ毎に支持基板を作製する必要がある上に、樹脂への転写工程が必要になるため、インライン処理が難しいという点でもMCMを量産する技術としては課題が多い。

【0011】一方、チップ間を、入・出力インターフェース回路を介さずに接続し、MCMの小型化・高性能化を図ろうという提案があるが、このためには数千本の配線を必要とする。当然、微細配線の形成技術が必要となるが、前述の技術では、チップ回路間の相対位置ズレが大きく積層数を数倍にする必要がある。これでは、製造コストが高価となる上に配線長を短縮してこそ得られる高速動作性が低下してしまう。

【0012】このようなMCMの製造には、MCMに組み込むチップの回路パターンの位置を高精度に決定し、チップ間の配線の微細化(例えば2 μm 以下の配線)を実現できる技術が必要となる。従って、MCMの更なる高密度実装の実現のために、素子間の配線を微細化することが可能なMCMの製造方法の開発が強く望まれている。

【0013】本発明は上記のような事情を考慮してなされたものであり、その目的は、素子間の配線を微細化し、更なるチップの高密度実装を実現できるマルチチップモジュール及びその製造方法、製造装置を提供することにある。

【0014】

【課題を解決するための手段】上記課題を解決するため、本発明に係るマルチチップモジュールは、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止

するマルチチップモジュールであって、支持基板上にコートされた光硬化樹脂膜と、前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、を具備することを特徴とする。

【0015】本発明に係るマルチチップモジュールは、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールであって、支持基板上に形成された光反射膜と、前記光反射膜上にコートされた光硬化樹脂膜と、前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、を具備することを特徴とする。

【0016】また、本発明に係るマルチチップモジュールにおいては、前記光硬化樹脂膜上に形成された層間絶縁膜と、前記層間絶縁膜に設けられた、前記チップ上に位置する接続孔と、前記層間絶縁膜上に形成され、前記接続孔に接続された配線パターンと、前記配線パターン及び前記層間絶縁膜の上に形成された保護膜と、をさらに含むことが好ましい。

【0017】また、本発明に係るマルチチップモジュールにおいては、前記複数のチップそれぞれの最上層の配線パターンが同一高さに配置されていることが好ましい。これにより、チップ間配線の微細化が容易になり、配線微細化によるマルチチップモジュールの小型化が可能となる。

【0018】本発明に係るマルチチップモジュールの製造方法は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、支持基板上に光硬化樹脂膜をコートする工程と、複数のチップを、前記光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、を具備することを特徴とする。

【0019】上記マルチチップモジュールの製造方法では、光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、チップを所定の平面位置及び所定の高さに固定するため、個々のチップの表面を揃える精度を向上でき、マルチチップモジュールに組み込まれるチップ間の相対位置精度を向上できる。従って、チップ間配線の微細化が容易になり、形成可能な配線数を増やすことができ、更なるチップの高密度実装を実現でき、配線微細化によるマルチチップモジュールの小型化が可能となる。

【0020】本発明に係るマルチチップモジュールの製造方法は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、支持基板上に光反射膜を形成する工程と、前記光反射膜上に光硬化樹脂膜をコートする工程と、複数のチップを、前記光硬化樹脂膜内であって支持

基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、を具備することを特徴とする。

【0021】上記マルチチップモジュールの製造方法では、支持基板上に光反射膜を形成し、その上に光硬化樹脂膜をコートするため、光硬化樹脂膜に光を照射した際に、光反射膜によって照射光を反射させ、それにより、より効率よく樹脂硬化を進行させることができる。

【0022】また、本発明に係るマルチチップモジュールの製造方法においては、前記固定する工程の後に、前記光硬化樹脂膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記チップ上に位置する接続孔を設ける工程と、前記層間絶縁膜上に、前記接続孔上に位置する配線パターンを形成する工程と、前記配線パターン及び前記層間絶縁膜の上に保護膜を形成する工程と、をさらに含むことが好ましい。

【0023】また、本発明に係るマルチチップモジュールの製造方法において、前記マウントする工程は、前記チップの表面パターンを画像認識し、その画像に基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置にマウントするものであることが好ましい。

【0024】また、本発明に係るマルチチップモジュールの製造方法において、前記マウントする工程は、1チップ毎マウントする工程を複数回行うものであることが好ましい。

【0025】また、本発明に係るマルチチップモジュールの製造方法については、前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射することも可能である。また、前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射することも可能である。

【0026】また、本発明に係るマルチチップモジュールの製造方法については、前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ周辺の一部の光硬化樹脂膜に光を照射することも可能である。これにより、マウントするチップの間隔を狭くすることができ、更なるチップの高密度実装を実現でき、マルチチップモジュールの小型化が可能となる。

【0027】また、本発明に係るマルチチップモジュールの製造方法について、前記所定の高さは、前記複数のチップそれぞれの最上層の配線パターンの高さが同一高さに揃うものであることが好ましい。

【0028】また、本発明に係るマルチチップモジュールの製造方法については、前記光硬化樹脂膜をコートする工程の前に、支持基板にチップをマウントする位置の基準点にターゲットマークを刻印する工程をさらに含む

ことが好ましい。

【0029】本発明に係るマルチチップモジュールの製造装置は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とする。

【0030】また、本発明に係るマルチチップモジュールの製造装置については、前記チップの表面パターンを画像認識する画像認識光学系と、この画像認識光学系により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置に搬送するようにチップ搬送手段を制御する制御手段と、をさらに含むことが好ましい。

【0031】本発明に係るマルチチップモジュールの製造装置は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ周辺の一部の光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とする。

【0032】また、本発明に係るマルチチップモジュールの製造装置について、前記光学系は、レチクルマスクを用いて光をチップ周辺の一部の光硬化樹脂膜に照射するものであることが好ましい。また、前記光学系は、ブラインドシャッターの各羽に所望の穴を開口し、シャッター羽を調整することによって光をチップ周辺の一部の光硬化樹脂膜に照射するものであることが好ましい。

【0033】本発明に係るマルチチップモジュールの製造装置は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ搬送手段によりチップを前記所定の平面位置及び所定の高さに保持した状態で、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とする。

【0034】また、本発明に係るマルチチップモジュールの製造装置について、前記光学系は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射するものであることが好ましい。また、前記光学系は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射するものであることが好ましい。

【0035】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1(a)～(c)は、本発明の実施形態1によるマルチチップモジュールの製造方法において、Chipをマウントするための支持基板の製造工程を示す断面図である。

【0036】本実施形態では、メモリーと信号処理ロジックLSIを組み合わせたMCMについて述べる。公知の技術により製造した32MBitDRAMChipと信号処理LSIChip、及び、光学ディスク読み取り制御LSIChipを各Chip種毎にマウント装置にセットする。各ChipのBGR後の厚さは300 μ m以下とする。

【0037】まず、図1(a)に示すように、支持基板となる厚さ200mmのSiウエハー11の表面上に、光リソグラフィ法を用いてフォトレジストを塗布し、このフォトレジストをパターニングする。これにより、Siウエハー11の表面上には、MCM形成領域の基準となるターゲットマークを形成するためのレジストパターンマスク13が形成される。

【0038】この後、図1(b)に示すように、レジストパターン13をマスクとして塩素系ドライエッチングを行うことにより、Siウエハー11にターゲットマーク14を彫り込む。

【0039】次に、図1(c)に示すように、前記レジストパターンマスク13を除去した後、コーティング装置を用いて、Siウエハー11上に、例えばジアリルフタレート・多官能アクリレート・光重合開始剤の混合剤などのUV硬化樹脂膜15を350 μ m程度の厚さでコーティングする。この後、このUV硬化樹脂膜15の予備乾燥を行い、コーティング完了後、Siウエハー11をチップマウント装置に搬入する。

【0040】図2(a)は、本発明の実施形態1によるマルチチップモジュールの製造方法において、図1に示す支持基板(Siウエハー)上にマウントする各Chipの配列状態を示す平面図である。図2(b)は、図2(a)に示す単位MCM領域2bを拡大した平面図である。

【0041】MCMとして各Chipをどのように配置するか、及び、単位MCMを支持基板上にどのように配置するかのデータをマウント装置に入力し、各Chip毎にマウントする位置・配列パターンを決定する。また、Chip周囲の樹脂は後述するように硬化させるため、Chip間隔を50 μ m以上離して設定する。

【0042】具体例としては、図2(a)に示すよう

に、支持基板11上に単位MCM2bをマトリックス状に複数配置する。また、単位MCMについては、信号処理LSIChip17、DRAMChip19、光リディスク読み取りLSIChip21及びターゲットマーク14を図2(b)に示すように配置する。

【0043】また、各Chip毎にその代表回路パターンとChip基準点となるポイントを光学画像として登録し、マウントするChip毎に光学画像による位置認識を行うパターン判定レシピを作製する。

【0044】次に、図1に示す支持基板(Siウエハー)に各Chipをマウントする工程を、図3～図8を参照しつつ説明する。図3～図8は、本発明の実施形態1によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するための断面図である。

【0045】まず、図1(c)に示す支持基板11を後記支持基板ステージ45に搬送し、Chipの場合と同様に光学画像認識により支持基板の位置を基準点に合わせる。この後、図3に示すように、外形からラフアライメントしたDRAMChip19を、マウント装置のChip搬送アーム25を用いて支持基板(Siウエハー)11上に設定されたマウント基準点23の付近にフェースアップで搬送する。次に、マウント装置の画像認識光学系26によりDRAMChip19の回路パターンの画像を取り込む。なお、この時、画像取り込みの焦点調整をChipの高さ調整により行えば、回路面の高さも基準点に合わせることができる。

【0046】この後、図4に示すように、取り込み画像の焦点が合うように、Chip19の高さを補正する。つまり、マウント基準点23とChip基準点24の高さが合うように、Chip19の高さを補正する。

【0047】次に、予め登録しておいたChip19の回路パターンの画像と、マウントするChipの回路パターンを取り込んだ光学画像とを比較し、Chip基準点24を判定する。

【0048】次に、図5に示すように、マウント基準点23とChip基準点24が一致するように、Chip搬送アーム25を用いてChip19の水平位置を補正する。このようにして正確にChipの回路位置を基準点に合わせる。この後、支持基板11が載置されている支持基板ステージ(図示せず)を動かすことにより、ターゲットマーク14がマウント基準点23の付近にくるように支持基板11を移動させる。

【0049】次に、図6に示すように、マーク位置検出装置(図示せず)のレーザー光27を用いてターゲットマーク14の位置を検出し、設定されたマウント基準点23に対する相対位置にターゲットマーク14が位置するように、支持基板11の位置を補正する。

【0050】この後、図7に示すように、支持基板ステージを一定高さまで上昇させることにより、Chip19

を光硬化樹脂層15のマウント予定位置に埋め込む。

【0051】次に、図8に示すように、Chip19が埋め込まれた状態で、Chip上部からChip周辺を含む樹脂層15にUV光学系29を用いてUV光29aを照射することにより、Chip19の周囲の樹脂15を硬化させる。これにより、埋め込まれたChip19は正確な位置で硬化樹脂により固定されることとなる。この際のUV照射条件は、光源として波長365nmの水銀ランプi線スペクトル光を用い、露光エネルギーを4000mJとする。

【0052】上記の樹脂15を硬化させた後、樹脂15からChip搬送アームを引き上げて外し、次のChipを搬送する。この後、図3～図8に示す手順を繰り返すことにより、支持基板11におけるすべてのMCM形成領域にDRAMChip19をマウントする。

【0053】次に、連続して信号処理LSIChipの照合画像データの切り替えを行い、上記と同様の方法により支持基板11上に信号処理LSIChipをマウントする。その後、更に、上記と同様の方法により支持基板11上に光ディスク読み取りLSIChipをマウントする。

【0054】MCMとして組む全てのLSIChipのマウントを終了した後、支持基板ステージから支持基板11を露光部へ搬出し、この支持基板を全面露光ステージに載置し、このステージにて500Wの水銀ランプで30秒の露光を行う。これにより、樹脂15における未硬化の部分をすべて硬化させる（図示せず）。なお、未硬化樹脂を硬化させ、その樹脂はChip間段差平坦化層としてそのまま利用しても良い。以上の工程により、LSIChipの回路パターン位置及び高さが正確にアライメントされた状態で支持基板へのChipマウントが可能となる。

【0055】図9は、上述した一連のChipマウント作業を行う装置を示す構成図である。図10は、図9に示す露光部を示す構成図である。

【0056】図9に示すように、Chipマウント装置は、半導体製造に使用されるインライン接続されたコーターデベロッパー・ステッパーと似かよった構成となっており、コーター部31と露光部33からなる。

【0057】カセットから搬送された支持基板（Siウエハー）は、コーター部31において光硬化樹脂コートと予備乾燥が行われ、マウント・露光部33においてChipのマウント・位置補正・露光（Chip毎の樹脂硬化）が行われる。支持基板は、再びコーター部31に運ばれ、全面露光ステージ40で全ての樹脂を硬化させた後、カセット35に戻される。

【0058】すなわち、コーター部31は4カセットが支持基板カセットローダー35に設置可能となっており、インターフェースバッファ37を介して支持基板がアームロボット39に運ばれる。センター部にアームロ

ボット39が移動する領域があり、アーム移動領域を挟んで樹脂コートカップ38と予備乾燥用ベークステージ36、全面露光ステージ40が配置されている。

【0059】コーター部31と露光部33の間にはインターフェースバッファ41が設けられている。これにより、コーター部31と露光部33の間の支持基板の受け渡しが可能になる。

【0060】図10に示すように、露光部33は、支持基板を搬送する支持基板搬送系43、高精度な支持基板ステージ45、基板ステージ45を駆動させる基板ステージ駆動系46、UV露光光学系47、Chip画像を取り込むChip画像取り込み光学系（画像認識光学系）49、水銀ランプ50、支持基板のマーク位置を検出（感知）するレーザー光学系51、Chipストレージ52、Chipのラフアライメントを行うChipラフアライメントステージ54、支持基板にマウントするChipを搬送するChip搬送系53及び支持基板にChipをマウントするChipマウントアーム55などから構成されている。

【0061】UV露光光学系47には露光領域を制限するブラインドシャッター56が設けられている。このブラインドシャッター56によって、マウントするChipの外形寸法のデータに応じ、光硬化樹脂を露光する露光領域をChipとChip周辺の20μmの範囲に制限することができる。

【0062】この露光装置33では、Chip画像の取り込みを、ハーフミラー57を用いて、UV露光光学系47を介して行っており、Chip画像取り込み光学系49からの照射光の焦点はマウント基準点に一致するように調整されている。

【0063】また、露光装置33はアームロボット39の動きを制御する制御部（図示せず）を有している。この制御部は、Chip画像取り込み光学系49により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して適正な高さに位置させると共にChipを支持基板に対して適正な平面位置に搬送するようにアームロボット39を制御するものである。

【0064】Chipマウント装置では、コーター部31の樹脂コーティングカップ38において支持基板上に光硬化樹脂をコートすることから、Chipの位置補正、Chipのマウント、露光（即ちChip樹脂硬化）、未硬化樹脂の硬化までの一連の作業を連続して行うことができる。

【0065】支持基板上へのChipのマウントを完了した後、MCMとして機能させるためのChip間配線を形成する。以下にChip間の配線を形成する方法について図11を参照しつつ説明する。

【0066】図11（a）～（d）は、Chip間の配線を形成する方法を説明するための断面図である。

【0067】図11（a）に示すように、マウントされ

たChip17, 19及びUV硬化樹脂膜15の上に厚さ1 μ m程度の層間絶縁膜61を堆積する。次に、半導体前工程用の光リソグラフィー装置を用いて配線パターンと光学アライメント62をとりつつ、接続用パッド(図示せず)上に約5 μ m角の接続用孔パターン63aをフォトリソ膜63に形成する。なお、このパターン形成は、MCMとなるChipグループ毎もしくはChip毎にアライメント・フォーカス調整を行っても良い。

【0068】この後、図11(b)に示すように、半導体前工程用絶縁膜加工ドライエッチング装置を用いて、フォトリソ膜63をマスクとして層間絶縁膜61をエッチングする。これにより、層間絶縁膜61には接続孔61aが開口される。

【0069】次に、フォトリソ膜63を除去した後、層間絶縁膜61上にフォトリソ膜65を設ける。この後、前記光リソグラフィー装置を用いて、このフォトリソ膜65に、約2 μ m幅のChip間の配線パターンを形成するための配線ネガパターン65aを形成する。次に、前記ドライエッチング装置を用いて、フォトリソ膜65をマスクとして層間絶縁膜61をエッチングする。これにより、層間絶縁膜61には接続孔61a上に位置する約2 μ m深さの配線パターン溝61bが形成される。

【0070】この後、フォトリソ膜65を除去し、図11(c)に示すように、接続孔61a内、配線パターン溝61b内及び層間絶縁膜61上に核成長層としてCu膜をスパッタ法により50nm堆積した後、無電解メッキによりCu膜を5 μ m成長させる。次に、Cu用CMP (Chemical Mechanical Polishing) 装置を用いて、溝61b以外の層間絶縁膜上のCu膜を研磨除去することにより、接続孔61a内にCu膜が埋め込まれ、配線パターン溝61bには第1層Cu配線66が形成される。

【0071】また、第2層配線が必要な場合は、図11(a)～(c)の工程を繰り返すことにより、図11(d)に示すように、第1層Cu配線66上の層間絶縁膜67に第2層Cu配線69及びパッド71を形成する。

【0072】次に、第2層Cu配線69及びパッド71の上に回路保護膜73をコートし、その後、パッド71上のみ保護膜73を除去し、パッド71上に公知の方法によりバンパ75を形成する。

【0073】上記実施形態1によれば、各Chipの回路形成面(高さ)を同一平面上に揃え、且つ、Chip間の相対位置精度を向上させることができる。このため、LSI Chip製造工程と同様な方法によりChip間配線形成が可能となり、例えばChip間配線形成にi線露光装置を使用すれば、0.5 μ mライン/0.5 μ mスペースの配線も形成できる。従って、配線幅を2 μ m以下としても信頼性の良いChip間配線を形成することが可能と

なる。この技術により、MCMに形成可能な配線密度を飛躍的に高めることができ、入・出力インターフェース回路を介さないChip間接続を行うような小型、低消費電極MCMの製造が可能となる。

【0074】また、Chip間配線の微細化により、形成可能な配線数を飛躍的に増加でき、Chip間配線を入・出力回路を通さずに結び付けるマルチチップモジュールの製造が可能となる。また、Chip間配線で接続するコンタクト(パッド)の大きさを小型化することが可能となり、MCMとして組み込まれるLSIの設計自由度を向上できる。

【0075】次に、本発明の実施形態2によるマルチチップモジュールの製造方法について説明する。本実施形態では、実施形態1と同じくメモリーと信号処理ロジックLSIを組み合わせたMCMを石英支持基板上に形成する例について述べる。

【0076】公知の技術により製造した32MBitDRAM Chipと信号処理LSI Chip、及び、光学ディスク読み取り制御LSI Chipを各Chip種毎にマウント装置にセットする。各ChipのBGR後の厚さは300 μ m以下とする。

【0077】まず、支持基板となる厚さ200mmの石英ウエハーに、実施形態1と同様に光リソグラフィー法により、MCM形成領域の基準となるターゲットマークのレジストパターンマスクを形成し、フッ素系のドライエッチングによりターゲットマークを石英ウエハーに彫り込む。

【0078】次に、レジストパターンを除去した後、コーティング装置を用いて、石英ウエハー上に、例えばジアルリフタレート・多官能アクリレート・光重合開始剤とエポキシ樹脂の混合剤などのUV硬化樹脂を350 μ m程度の厚さでコーティングする。この後、このUV硬化樹脂膜の予備乾燥を行い、コーティング完了後、石英ウエハーをチップマウント装置に搬入する。

【0079】次に、MCMとして各Chipをどのように配置するか、及び、単位MCMを支持基板上にどのように配置するかのデータをマウント装置に入力し、各Chip毎にマウントする位置・配列パターンを決定する。また、Chip周囲の樹脂は後述するように硬化させるため、Chip間隔を50 μ m以上離して設定する。

【0080】次に、各Chip毎にその代表回路パターンとChip基準点となるポイントを光学画像として登録し、マウントするChip毎に光学画像による位置認識を行うパターン判定レシピを作製する。

【0081】次に、支持基板(石英ウエハー)に各Chipをマウントする工程を、図12～図17を参照しつつ説明する。図12～図17は、本発明の実施形態2によるマルチチップモジュールの製造方法において、支持基板上に各Chipをマウントする方法を説明するための断面図である。

【0082】まず、図12に示すように、外形からラフアライメントしたDRAMChip19を、マウント装置の上面吸着アーム77を用いて支持基板（石英ウエハー）76上に設定されたマウント基準点23の付近にフェースアップで搬送する。次に、マウント装置の画像認識光学系26によりDRAM Chip19の回路パターンの画像を取り込む。

【0083】この後、図13に示すように、取り込み画像の焦点が合うように、Chip19の高さを補正する。

【0084】次に、予め登録しておいたChip19の回路パターンの画像と、マウントするChipの回路パターンを取り込んだ光学画像とを比較し、Chip基準点24を判定する。

【0085】次に、図14に示すように、マウント基準点23とChip基準点24が一致するように、上面吸着アーム77を用いてChip19の水平位置を補正する。この後、支持基板76が載置されている支持基板ステージ（図示せず）を動かすことにより、ターゲットマーク14がマウント基準点23の付近にくるように支持基板76を移動させる。

【0086】次に、図15に示すように、マーク位置検出装置（図示せず）のレーザー光27を用いてターゲットマーク14の位置を検出し、設定されたマウント基準点23に対する相対位置にターゲットマーク14が位置するように、支持基板76の位置を補正する。

【0087】この後、図16に示すように、支持基板ステージを一定高さまで上昇させることにより、Chip19を光硬化樹脂層15のマウント予定位置に埋め込む。

【0088】次に、図17に示すように、Chip19が埋め込まれた状態で、Chip下部からChip周辺を含む樹脂層15にUV光79を照射することにより、Chip19の周囲及びChip直下の樹脂15を硬化させる。これにより、埋め込まれたChip19は正確な位置で硬化樹脂により固定されることとなる。この際のUV照射条件は、光源として波長365nmの水銀ランプi線スペクトル光を用い、露光エネルギーを6000mJとする。

【0089】上記の樹脂15を硬化させた後、樹脂15から上面吸着アーム77を引き上げて外し、次のChipを搬送する。この後、図12～図17に示す手順を繰り返すことにより、支持基板76におけるすべてのMCM形成領域にDRAMChip19をマウントする。

【0090】次に、連続して信号処理LSIChipの照合画像データの切り替えを行い、上記と同様の方法により支持基板76上に信号処理LSIChipをマウントする。その後、更に、上記と同様の方法により支持基板76上に光ディスク読み取りLSIChipをマウントする。

【0091】MCMとして組む全てのLSIChipのマウントを終了した後、支持基板ステージから支持基板76を搬出し、この支持基板を加熱ステージに載置し、こ

のステージにて200℃で300秒のベークを行う。これにより、樹脂15における未硬化の部分をすべて硬化させる（図示せず）。

【0092】図18は、上述した一連のChipマウント作業を行う装置を示す構成図である。図19は、図18に示す露光部を示す構成図である。

【0093】図18に示すChipマウント装置は、図9の装置と同様に半導体製造に使用されるインライン接続されたコーターデベロッパー・ステッパーと似かよった構成となっており、コーター部81と露光部83からなるが、図18の装置は図9の装置に比べて露光部83が大きく異なる。

【0094】カセットから搬送された支持基板（石英ウエハー）は、コーター部81において光硬化樹脂・熱硬化樹脂の混合剤のコートと予備乾燥が行われ、マウント・露光部83においてChipのマウント・位置補正・露光（Chip毎の樹脂硬化）が行われる。支持基板は、再びコーター部81に運ばれ、全面硬化用加熱ステージ90で全ての樹脂を硬化させた後、カセット35に戻される。

【0095】すなわち、コーター部81は4カセットが支持基板カセットローダー35に設置可能となっており、インターフェースバッファ37を介して支持基板がアームロボット39に運ばれる。センター部にアームロボット39が移動する領域があり、アーム移動領域を挟んで樹脂コートカップ38と予備乾燥用ベークステージ36、全面硬化用加熱ステージ90が配置されている。

【0096】コーター部81と露光部83の間にはインターフェースバッファ41が設けられている。これにより、コーター部81と露光部83の間の支持基板の受け渡しが可能になる。

【0097】図19に示すように、露光部83は、支持基板を搬送する支持基板搬送系43、高精度な支持基板ステージ45、基板ステージ45を駆動させる基板ステージ駆動系46、UV露光光学系47、水銀ランプ50、Chip画像を取り込むChip画像取り込み光学系（画像認識光学系）49、支持基板のマーク位置を検出（感知）するレーザー光学系51、Chipストレージ52、Chipのラフアライメントを行うChipラフアライメントステージ54、支持基板にマウントするChipを搬送するChip搬送系53及び支持基板にChipをマウントするChipマウント真空吸着アーム77などから構成されている。

【0098】基板ステージ45は、石英基板の周囲を固定する方式を採っており、石英基板の裏面部が空洞もしくは石英製となっている。石英基板の裏面側にUV露光光学系47が配置されており、このUV露光光学系47には露光領域を制限するブラインドシャッター56が設けられている。このブラインドシャッター56によって、マウントするChipの外形寸法のデータに応じ、光硬化

樹脂を露光する露光領域をChipとChip周辺の $20\mu\text{m}$ の範囲に制限することができる。

【0099】この露光装置83では、Chipの上面からChip画像の取り込みを行っており、Chip画像取り込み光学系49からの照射光の焦点はマウント基準点に一致するように調整されている。

【0100】また、露光装置83はアームロボット39の動きを制御する制御部(図示せず)を有している。この制御部は、Chip画像取り込み光学系49により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して適正な高さに位置させると共にChipを支持基板に対して適正な平面位置に搬送するようにアームロボット39を制御するものである。

【0101】Chipマウント装置では、コーター部81の樹脂コーティングカップ38において支持基板上に光硬化樹脂をコートすることから、Chipの位置補正、Chipのマウント、露光(即ちChip樹脂硬化)、未硬化樹脂の硬化までの一連の作業を連続して行うことができる。

【0102】支持基板上へのChipのマウントを完了した後、実施形態1と同様の方法で、MCMとして機能させるためのChip間配線を形成する。

【0103】上記実施形態2においても実施形態1と同様の効果を得ることができる。

【0104】また、本実施形態は、Chipをアーム77で支持した状態でChip周辺及び直下の樹脂を硬化できるため、Chipマウント終了後の未露光樹脂硬化時にChipが移動する可能性が少ない点がメリットである。また、上面吸着アーム77はChipを真空吸着によって保持するものであるから、アーム77に樹脂15が付着することによる発塵や搬送ミスを防止することができる。

【0105】次に、本発明の実施形態3によるマルチチップモジュールの製造方法について説明する。本実施形態では、実施形態1と同じくメモリーと信号処理ロジックLSIを実施形態1より近接して組み合わせたMCMを支持基板上に形成する例について述べる。

【0106】公知の技術により製造した32MBitDRAMChipと信号処理LSIChip、及び、光学ディスク読み取り制御LSIChipを各Chip種毎にマウント装置にセットする。各ChipのBGR後の厚さは $300\mu\text{m}$ 以下とする。

【0107】まず、支持基板となる厚さ 200mm のSiウエハーは、予め表面にのみ厚さ 200nm 程度の図21に示すA1膜88を堆積しておく。このA1膜88はUV光の反射膜として作用する。Siウエハーに、実施形態1と同様に光リソグラフィー法により、MCM形成領域の基準となるターゲットマークのレジストパターンマスクを形成し、塩素系のドライエッチングによりターゲットマークをA1膜とSiウエハーに彫り込む。

【0108】次に、レジストパターンを除去した後、コーティング装置を用いて、Siウエハー上に、例えばジアリルフタレート・多官能アクリレート・光重合開始剤の混合剤などのUV硬化樹脂を $350\mu\text{m}$ 程度の厚さでコーティングする。この後、このUV硬化樹脂膜の予備乾燥を行い、コーティング完了後、Siウエハーをチップマウント装置に搬入する。

【0109】次に、MCMとして各Chipをどのように配置するか、及び、単位MCMを支持基板上にどのように配置するかのデータをマウント装置に入力し、各Chip毎にマウントする位置・配列パターンを決定する。この場合、Chip間隔制限を $30\mu\text{m}$ に狭め、より近接してChipを配置するものとする。

【0110】次に、各Chip毎にその代表回路パターンとChip基準点となるポイントを光学画像として登録し、マウントするChip毎に光学画像による位置認識を行うパターン判定レシピを作製する。

【0111】この後、実施形態1と同様の方法により1Chip毎に位置・高さを調整し、Chipを樹脂に埋め込んで光照射により樹脂を硬化させてChipを固定する。この光照射をChipサイズに応じたレチクルパターンを投影して行う。これにより、隣接するChipの硬化領域と重ならないよう、Chip周辺の一部にのみ光の照射が可能となる。このため、Chip間の距離を実施形態1の $50\mu\text{m}$ より狭くすることが可能となり、MCMの小型化と1枚の支持基板に形成可能なMCM数を増やすことができる。

【0112】また、光スポットを決定するレチクルは、マウントするChip種毎に自動交換して作業する事で、実施形態1と同等の連続作業も可能である。

【0113】Chipマウント完了後、実施形態1と同様にMCMとして機能するためのChip間配線を形成する。

【0114】図20(a)、(b)は、Chipを樹脂に埋め込んで光照射により樹脂を硬化させる際、Chipサイズに応じたレチクルパターンを投影して光照射を行う様子を示す平面図である。これに対して図20(c)、(d)は、実施形態1の方法で樹脂に光照射した様子を示す平面図である。

【0115】実施形態1では、図20(c)に示すように、ChipA及びその周辺に露光領域86を配置するので、ChipAとChipBを隣接配置する場合、Chip間隔がL2必要であった。これに対して、本実施形態では、図20(a)に示すように、レチクルパターンを投影して光照射するため、その光照射された部分露光領域85は、ChipAの外周の4個所にChipを跨ぐように位置している。このように部分露光領域85を配置すると、ChipAとChipBを近接して配置することができ、図20(b)に示すように、Chip間隔をL2より狭いL1とすることができる。

【0116】尚、図20(c)に示す部分露光領域85は単なる一例であり、部分露光領域を他の形状とすることも可能である。

【0117】また、本実施形態では、図21に示すように、支持基板11の樹脂15下にA1膜88を敷いてあるため、樹脂15を硬化させるUV光89を照射させた際、A1膜88によりUV光が反射し、より効率良く樹脂硬化を進行させることができる。

【0118】図22は、本発明の実施形態3によるマルチチップモジュールの製造に用いられるChipマウント装置における部分露光可能な露光部を示す構成図であり、図10と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0119】この露光部は、露光領域を制限するためのレチクルマスク91を有すると共に、交換用のレチクルマスクを収納するレチクルストッカー92を有している。さらに露光部は、マウントするChip種毎にレチクルマスク91を自動交換して作業するためのレチクル搬送系93を有している。

【0120】上記実施形態3においても実施形態1と同様の効果を得ることができる。

【0121】尚、上記実施形態3では、レチクルマスク91を用いて露光領域を制限しているが、図10に示す装置のブラインドシャッターの各羽に所望の穴を開け、シャッター羽を調整することによっても同様の部分露光が可能である。

【0122】また、本発明は上記実施形態に限定されず、種々変更して実施することが可能である。

【0123】

【発明の効果】以上説明したように本発明によれば、複数のチップを、光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントし、光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する。したがって、素子間の配線を微細化し、更なるチップの高密度実装を実現できるマルチチップモジュール及びその製造方法、製造装置を提供することができる。

【図面の簡単な説明】

【図1】図1(a)～(c)は、本発明の実施形態1によるマルチチップモジュールの製造方法において、Chipをマウントするための支持基板の製造工程を示す断面図である。

【図2】図2(a)は、図1に示す支持基板(Siウエハー)上にマウントする各Chipの配列状態を示す平面図であり、図2(b)は、図2(a)に示す単位MCM領域2bを拡大した平面図である。

【図3】本発明の実施形態1によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するものであってChipの回路画像を

取り込む工程を示す断面図である。

【図4】支持基板に各Chipをマウントする方法を説明するものであり、図3の次の工程を示すものであって焦点補正によるChipの高さを調整する工程を示す断面図である。

【図5】支持基板に各Chipをマウントする方法を説明するものであり、図4の次の工程を示すものであってChip基準点の水平位置を補正する工程を示す断面図である。

【図6】支持基板に各Chipをマウントする方法を説明するものであり、図5の次の工程を示すものであって支持基板の位置を補正する工程を示す断面図である。

【図7】支持基板に各Chipをマウントする方法を説明するものであり、図6の次の工程を示すものであって支持基板の上昇によりChipを埋め込む工程を示す断面図である。

【図8】支持基板に各Chipをマウントする方法を説明するものであり、図7の次の工程を示すものであってUV光の照射によりChip周辺の樹脂を硬化させる工程を示す断面図である。

【図9】本発明の実施形態1によるマルチチップモジュールの製造に用いられるChipマウント装置を示す構成図である。

【図10】図9に示す露光部を示す構成図である。

【図11】図11(a)～(d)は、Chip間の配線を形成する方法を説明するための断面図である。

【図12】本発明の実施形態1によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するものであってChipの回路画像を取り込む工程を示す断面図である。

【図13】支持基板に各Chipをマウントする方法を説明するものであり、図12の次の工程を示すものであって焦点補正によるChipの高さを調整する工程を示す断面図である。

【図14】支持基板に各Chipをマウントする方法を説明するものであり、図13の次の工程を示すものであってChip基準点の水平位置を補正する工程を示す断面図である。

【図15】支持基板に各Chipをマウントする方法を説明するものであり、図14の次の工程を示すものであって支持基板の位置を補正する工程を示す断面図である。

【図16】支持基板に各Chipをマウントする方法を説明するものであり、図15の次の工程を示すものであって支持基板の上昇によりChipを埋め込む工程を示す断面図である。

【図17】支持基板に各Chipをマウントする方法を説明するものであり、図16の次の工程を示すものであってUV光の照射によりChip周辺の樹脂を硬化させる工程を示す断面図である。

【図18】本発明の実施形態2によるマルチチップモジ

ジュールの製造に用いられるChipマウント装置を示す構成図である。

【図19】図18に示す露光部を示す構成図である。

【図20】図20(a)～(d)は、本発明の実施形態3による樹脂への光照射方法を説明するための平面図である。

【図21】本発明の実施形態3による樹脂への光照射を行っている様子を示す断面図である。

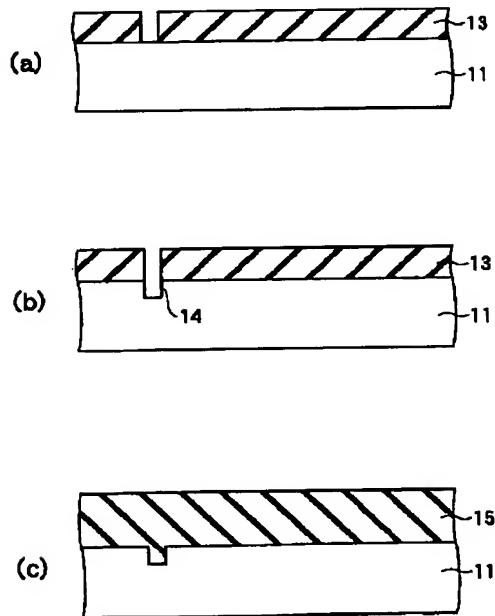
【図22】本発明の実施形態3によるマルチチップモジュールの製造に用いられるChipマウント装置における部分露光可能な露光部を示す構成図である。

【符号の説明】

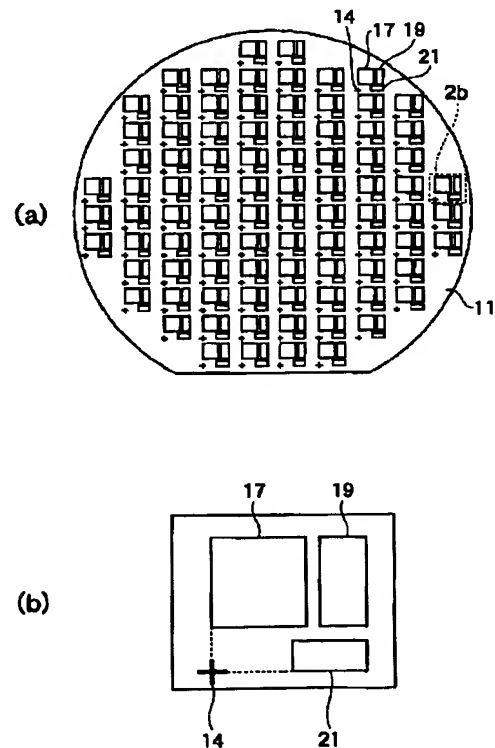
2b…単位MCM、11…支持基板(Siウエハー)、13…レジストパターンマスク、14…ターゲットマーク、15…UV硬化樹脂膜、17…信号処理LSI Chip、19…DRAM Chip、19…Chip、21…光リディスク読み取りLSI Chip、23…マウント基準点、24…Chip基準点、25…Chip搬送アーム、26…画像認識光学系、27…レーザー光、29…UV光学系、29a…UV光、31…コーター部、33…露光装置(露光部)、35…支持基板カセットローダー(カセット)、36…予備乾燥用ベークステージ、37…インタ

ーフェースバッファ、38…樹脂コートカップ、39…アームロボット、40…全面露光ステージ、41…インターフェースバッファ、43…支持基板搬送系、45…支持基板ステージ、46…基板ステージ駆動系、47…UV露光光学系、49…Chip画像取り込み光学系(画像認識光学系)、50…水銀ランプ、51…レーザー光学系、52…Chipストレージ、53…Chip搬送系、54…Chipラフアライメントステージ、55…Chipマウントアーム、56…ブラインドシャッター、57…ハーフミラー、61…層間絶縁膜、61a…接続孔、61b…配線パターン溝、62…光学アライメント、63…フォトリソ膜、63a…接続用孔パターン、65…フォトリソ膜、65a…配線ネガパターン、66…第1層Cu配線、67…層間絶縁膜、69…第2層Cu配線、71…パッド、73…回路保護膜、75…バンプ、76…支持基板(石英ウエハー)、77…上面吸着アーム(Chipマウント真空吸着アーム)、79…UV光、81…コーター部、83…露光装置(露光部)、85…部分露光領域、86…露光領域、88…A1膜(UV光反射膜)、89…UV光、90…全面硬化用加熱ステージ、91…レチクルマスク、92…レチクルストッカー、93…レチクル搬送系。

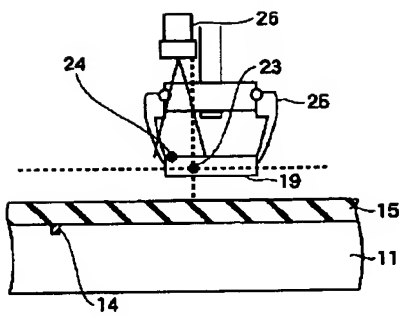
【図1】



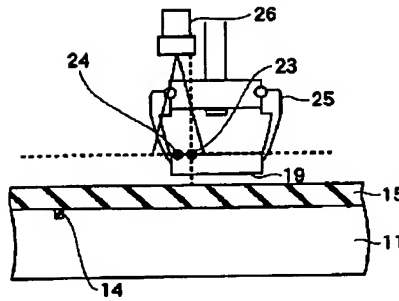
【図2】



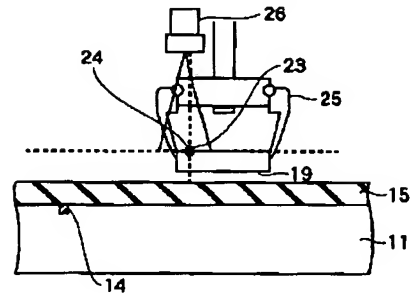
【図3】



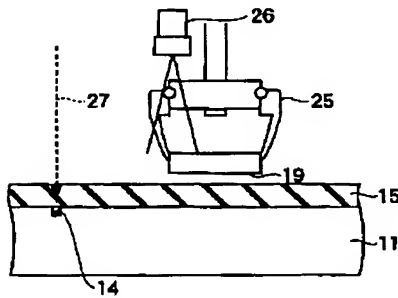
【図4】



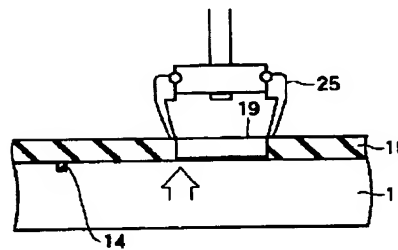
【図5】



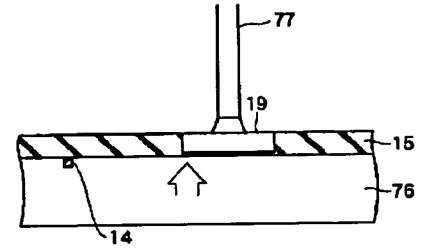
【図6】



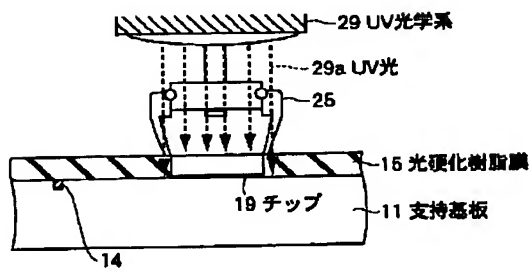
【図7】



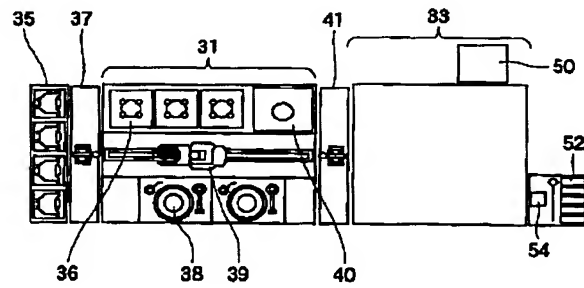
【図16】



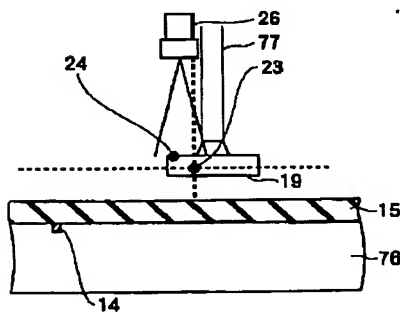
【図8】



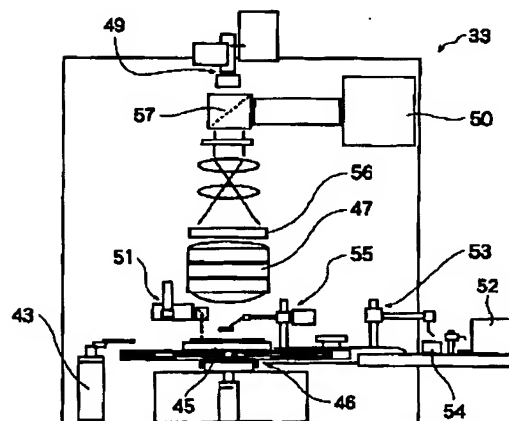
【図9】



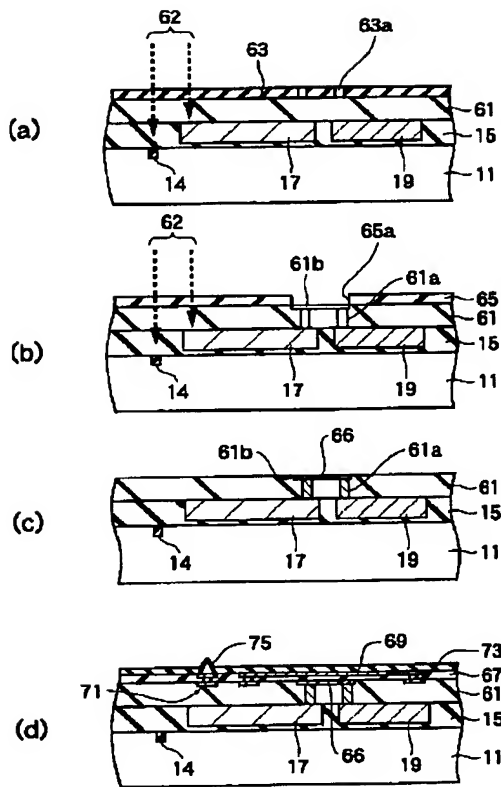
【図12】



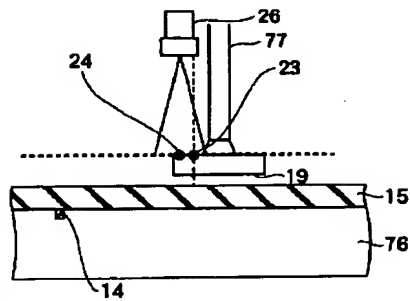
【図10】



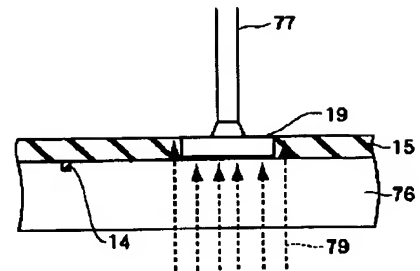
【図 1 1】



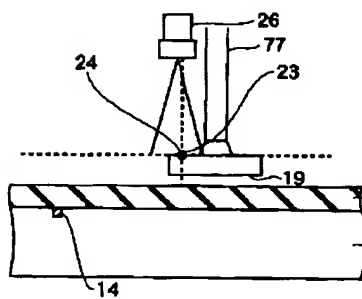
【图13】



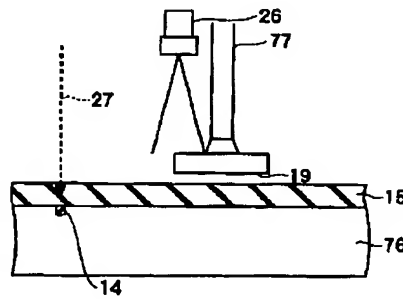
【図17】



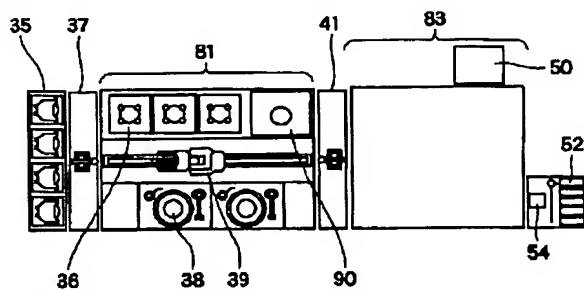
【図 14】



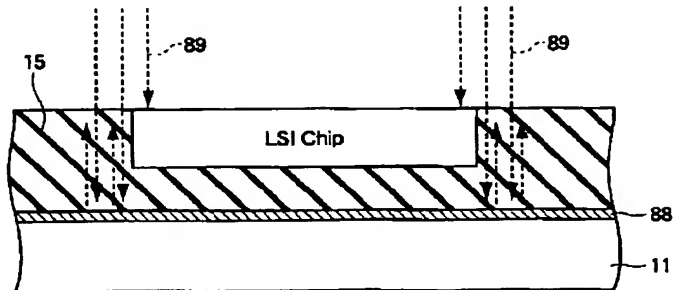
【図15】



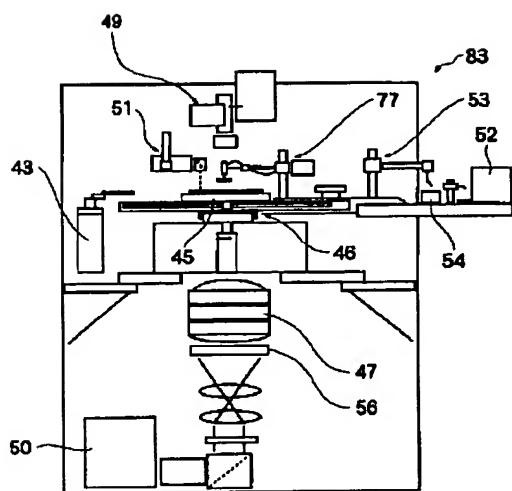
【図18】



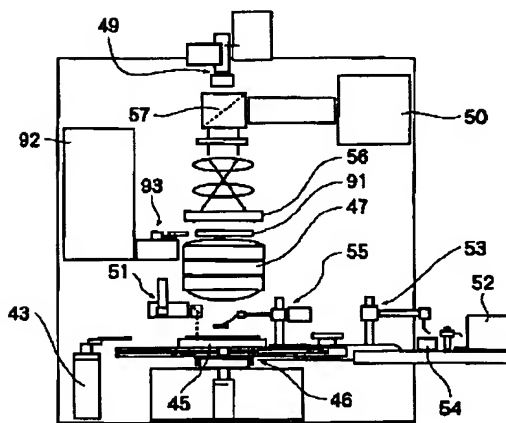
【図21】



【図19】



【図22】



【図20】

